

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 06-338880

(43) Date of publication of application : 06.12.1994

(51) Int.CI. H04L 7/02
H04N 5/073
H04N 9/44

(21) Application number : 05-125844 (71) Applicant : NEC CORP

(22) Date of filing : 27.05.1993 (72) Inventor : WAKABAYASHI HIROSHI

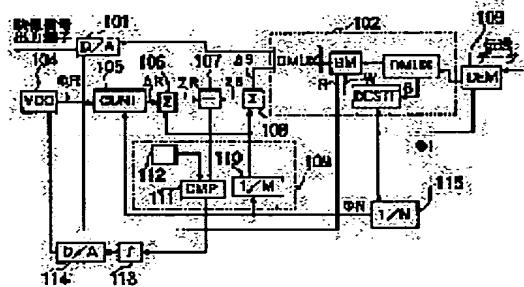
(54) SAMPLING CLOCK REGENERATING SYSTEM

(57) Abstract:

PURPOSE: To reduce the generation of a jitter by frequency-dividing the generation cycle of frequency information at an arbitrary frequency-division rate, multiplying sampling frequency information at a transmission side with the frequency information at a reception side in this cycle, and controlling the sampling frequency by using the difference value.

CONSTITUTION: A programmable frequency-divider 110 M, frequency-divides a timing pulse obtained by N frequency-dividing a transmission clock.

Transmission frequency information ΔS and reception frequency information ΔR is multiplied by the values of the M-fold period by adders 108 and 106, and each arithmetic result value is ΔS and ΔR . The difference Δ between these two values is obtained by a subtracter 107, the result is integrated by a digital integrator 113, and converted into the control voltage of a VCO 104 by a D/A converter 114. The value of M is decided from the value of the Δ by referring to a compared value register 112, and the value of M is increased according as the value of Δ is decreased. Thus, the jitter



frequency of the reproduced sampling clock can be reduced.

LEGAL STATUS

[Date of request for examination] 27.05.1993

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2076869

[Date of registration] 09.08.1996

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 18.12.2002

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-338880

(43)公開日 平成6年(1994)12月6日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 04 L 7/02				
H 04 N 5/073	Z			
9/44	B 8942-5C			
	7741-5K	H 04 L 7/02	Z	

審査請求 有 請求項の数2 OL (全5頁)

(21)出願番号	特願平5-125844	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成5年(1993)5月27日	(72)発明者	若林 博史 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74)代理人	弁理士 岩佐 義幸

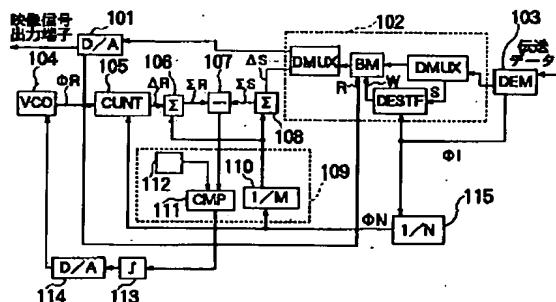
(54)【発明の名称】 標本化クロック再生方式

(57)【要約】

【目的】 送受信装置の多段接続時においても累積するジッタの発生を低減し、ジッタ周波数を低く抑える。

【構成】 受信側の周波数再生回路において、周波数情報の生成周期 ($1/N f_1$) をさらに任意の分周比Mで分周 (Mは整数) するプログラマブル分周器110を用い、この周期で送信側の標本化周波数情報 ΔS と受信側の周波数情報 ΔR を積算し (ΣS , ΣR とする) 、その差分値 ($\Sigma = \Sigma S - \Sigma R$) を使用して再生標本化周波数の制御を行う。

【効果】 入力される映像信号のカラーサブキャリアの周波数偏差が小さい場合、 Σ は小さな値で安定するため、再生周波数の制御は長周期となり、ジッタの発生する周期を長周期化できる。



【特許請求の範囲】

【請求項1】周波数情報から標本化クロックを再生する標本化クロック再生方式において、受信側の周波数再生回路において、周波数情報の生成周期をさらに任意の分周比Mで分周（Mは整数）するプログラマブル分周器を用い、この周期で送信側の標本化周波数情報と受信側の周波数情報を積算し、その差分値を使用して再生標本化周波数の制御を行うことを特徴とする標本化クロック再生方式。

【請求項2】周波数情報から標本化クロックを再生する標本化クロック再生方式において、伝送路データから映像符号化データと送信装置の標本化周波数から生成した周波数情報を分離する手段と、伝送路データから抽出した伝送路クロックをN分周し周波数情報の生成周期を出力する分周回路と、再生標本化クロックを出力する電圧制御発振器と、分周回路の出力する周期で再生標本化クロックを計数し受信側の周波数情報を生成する手段と、分周回路の出力する周期をさらにM分周（Mは整数）するプログラマブル分周器と、プログラマブル分周器の出力する周期で、この間に積算した送信側の標本化周波数情報と受信側の周波数情報の差分値を取り、その値に応じて重み付けを行い積分した制御電圧を電圧制御発振器に与える手段と、送信側の周波数情報と受信側の周波数情報の差分をある閾値と比較し、一致した閾値の値によってプログラマブル分周器の分周比Mを与える手段とから構成され、標本化クロックジッタの発生を低減することを特徴とする標本化クロック再生方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はアナログベースバンドの映像信号をアナログ-ディジタル変換により直線符号化し、ディジタル回線を使用して受信側に伝送し、ディジタル-アナログ変換によりアナログベースバンドの映像信号を再生する技術分野に属する。特に送信側の標本化クロックを周波数情報により受信側に伝送して標本化クロックの同期再生を行う方式に関する。*

$$\Delta S = N \cdot \frac{f_1}{f_s}$$

(N = 整数)

【0006】で与えられる。 ΔS の整数部分を周波数情報として映像符号化データと共に伝送路フレームに多重してモジュレータ208を経て受信装置202に送出する。また、入力される映像信号のカラーサブキャリア周波数が安定で限られた周波数偏差であれば、周波数情報 ΔS の範囲も限定でき、たかだか8~10ビットで周波数を表現できることがわかっている。

【0007】受信装置202は、デモジュレータ215を経てデータを受信すると、伝送路データから伝送路ク

*【0002】

【従来の技術】送信側の標本化周波数を周波数情報として伝送し、受信装置で再生する方式として、「標本化周波数の同期装置」（特開昭54-51305号公報）がある。図2はこの方式によるブロック図である。この方式は、標本化周波数を送受信装置間で同期させるための情報を伝送路クロックに無関係に伝送しており、同期網を利用した映像伝送に適した方式である。

【0003】映像信号のアナログ-ディジタル変換の標本化クロックは、ビート雑音の発生を避けるため、映像信号のカラーバーストからバーストロックオシレータを使用して抽出し、カラーサブキャリアの正数倍の周波数とすることがよく知られている。このような標本化クロックを使用し、従来の図2の方式で映像信号を伝送する場合については以下に説明する。

【0004】図2において、送信装置201では入力された映像信号は、A/D変換回路204とバーストロックオシレータ（BLO）203に供給される。バーストロックオシレータ203は映像信号のカラーバーストからカラーサブキャリア周波数に同期した送信標本化クロックを生成する。その周波数を f_s とする。A/D変換器204では、送信標本化クロックを使用して映像信号をアナログ-ディジタル変換し映像符号化データを生成する。映像符号化データは多重化回路206で伝送路フレームに多重化される。伝送路クロックは図2では発振器（OSC）209の出力するクロックとしている。その周波数を f_1 とする。映像符号化データの生成周波数 f_s と伝送路クロックの周波数 f_1 は非同期であり、映像符号化データはスタッフィング処理により伝送路フレーム周波数に多重化される。伝送路クロックは分周器207により $1/N$ に分周され、周波数情報生成周期 N を出力する。送信標本化クロックは周波数情報生成回路205に供給され、送信標本化周波数情報 ΔS を生成する。周波数情報は送信標本化周波数と伝送路周波数の相対関係を示す。

【0005】

【数1】

(1)

ロックを抽出し、このクロックを基準に分離回路214で伝送路フレームから映像符号化データと送信周波数情報 ΔS を分離する。伝送路クロック f_1 は分周器216でN分周し、この周期 N で受信周波数情報生成回路（CUNT）212により受信標本化クロック f_r から受信周波数情報 ΔR を生成する。 ΔR は、

【0008】

【数2】

$$\Delta R = N \cdot \frac{f_1}{f_r}^3 \quad (N = \text{整数})$$

【0009】で示される。

【0010】引き算器213で、 ΔS と ΔR との差 Δ をとる。受信標本化クロック発生回路は、 ΔS と ΔR の差が小さくなるようなフィードバックをかけたフェーズロックループ回路である。差 Δ はディジタル積分器217*

$$\Delta = \Delta R - \Delta S = \frac{N f_1}{f_s \cdot f_r} (f_s - f_r)$$

【0012】であり、制御電圧Vは、

【0013】

$$V = V \Delta + k \int (f_s - f_r) dt$$

*で積分され、D/A変換器218で電圧制御発振器(VCO)211の制御電圧Vに変換される。差 Δ は、
【0011】
【数3】

(3)

【0014】で示される。制御電圧Vは $f_r = f_1$ となるように出力することにより、受信装置の標本化周波数を送信装置の標本化周波数となるように同期化できる。

【0015】

【発明が解決しようとする課題】ところで、標本化周波数のジッタ特性に着目すると、式(2)では送受信装置間の標本化周波数の同期化を得られることを示しているが、標本化クロックのジッタ特性については定義されていない。周波数情報を生成する周期(伝送路クロックの $1/N$)を映像信号のライン周期あるいはフレーム周期に近い値をとることにより、このような周期より高い周波数のジッタを押圧することは可能であるが、反面、低周波数のジッタを発生させることになる。

【0016】このような、送受信装置間で発生する低周波数のジッタは、伝送装置の出力である映像信号のカラーバーストのジッタとして重畠される。伝送装置が複数段接続されたシステムの場合、低周波数のカラーバーストのジッタは次段のバーストロックオシレータの出力である標本化周波数のジッタとして残留する。各段で重畠される低周波数ジッタは非同期であるため、送受信の段数が増加するにつれ累積するジッタの振幅が増大すると共にジッタの周波数が複雑化する。

【0017】カラーバーストジッタの増加は、再生画像の色むらの発生の原因となる。この問題の解決方法として、送信端でのバーストロックオシレータの周波数安定度を極めて高くする方法が採られている。具体的にはバーストロックオシレータ回路のPLLのカットオフ周波数を低くし、低周波数のジッタを抑圧する。しかし、この場合周波数追従が遅くなり、入力映像信号のカラーサブキャリア周波数の変動に対する追従が悪化する。

【0018】本発明の目的は、従来方式の周波数情報による標本化クロックの伝送で発生する低周波のジッタを抑圧することにある。

【0019】本発明の他の目的は、送受信装置の多段接続時においても、再生した映像信号を構成するカラーバーストのジッタの発生を低減できる標本化クロック再生方式を提供することにある。

10※【数4】

※

k:定数

(4)

【0020】

【課題を解決するための手段】本発明は、周波数情報から標本化クロックを再生する回路において、(1)伝送路データから映像符号化データと送信装置の標本化周波数から生成した周波数情報を分離する手段と、(2)伝送路データから抽出した伝送路クロックをN分周し周波数情報の生成周期を出力する分周回路と、(3)再生標本化クロックを出力する電圧制御発振器と、(4)分周回路の出力する周期で再生標本化クロックを計数し受信側の周波数情報を生成する手段と、(5)分周回路の出力する周期をさらにM分周(Mは整数)するプログラマブル分周器と、(6)プログラマブル分周器の出力する周期で、この間に積算した送信側の標本化周波数情報と受信側の周波数情報の差分値を取り、その値に応じて重み付けを行い積分した制御電圧を電圧制御発振器に与える手段と、(7)送信側の周波数情報と受信側の周波数情報の差分をある閾値と比較し、一致した閾値の値によってプログラマブル分周器の分周比Mを与える手段と、から構成される。

20 【0021】

【実施例】本発明の実施例を図1に示す。

【0022】送信装置の構成は従来方式の図2の送信装置201と同様である。したがって、図1には受信装置のみ示してある。この受信装置において、伝送データから映像符号化データと送信周波数情報 ΔS を分離するのは、従来方式と同様である。また、電圧制御発振器104の出力である再生標本化クロックから伝送路クロックのN分周の周期で受信周波数情報を生成するのも従来方式と同様である。

【0023】図2において、周波数情報を生成する伝送路クロックのN分周の周期中Nが受信側で発生するジッタの周波数を制限している。入力される映像信号のカラーサブキャリア周波数が非常に安定していると仮定すると、長時間では $f_s = f_r$ となり送受信装置間で発生するジッタは、長い周期では相殺され1クロック時間以内に納まる。

50 【0024】従って、本発明では受信装置での周波数情

報の生成周期を (N/f_1) の整数倍 (M倍) にすることにより、多段接続により複雑になるジッタ周波数をある周波数以下に抑圧することができる。また、このMの値を送信周波数情報の周波数偏差に応じて調整することにより、入力変動が大きな場合はMの値を小さくし従来方式と同等の周波数追従特性を持たせることができる。

【0025】図1において、101はA/D変換回路、102は分離化回路、103はデモジュレータ、104は電圧制御発振器、105は受信周波数情報生成回路、106は加算器、107は引き算器、108は加算器、109は分周比生成回路、110はプログラマブル分周器、111は比較器、112は比較値レジスタ、113は積分器、114はディジタル-アナログ変換回路、115は分周器である。

【0026】この受信装置において、プログラマブル分周器110は伝送路クロックをN分周 (ϕN) したタイミングパルスを、さらにM分周する回路で、その分周比Mは分周比生成回路109で決定される。送信周波数情報 ΔS および受信周波数情報 ΔR は加算器108、106でM倍の期間の値を積算し、各々の演算結果値を ΣS 、 ΣR とする。この二つの差分 Σ を引き算器107で取り、その結果を従来方式と同等のディジタル積分器113で積分し、D/A変換器114で電圧制御発振器104の制御電圧Vに変換される。

【0027】Mの値は Σ の値により比較値レジスタ112を参照して決定され、 Σ の値が小さい程大きな値することにより、再生標本化クロックのジッタ周波数を低くする。

【0028】入力される映像信号のカラーサブキャリア周波数の変動が大きな場合は、 Σ 値が大きくなるため、Mを最小値“1”とすることにより、従来方式と同等の周波数追従特性を得られる。

【0029】以上の制御はディジタル処理で実現ができ、高速演算処理が可能なシグナルプロセッサでのプログラマ制御が適している。 Σ とMの最適値をこのプログラム*

* ラム制御のパラメータを調整して選択することができる。

【0030】

【発明の効果】以上説明したように、本発明によるとカラーバーストから標本化クロックを抽出した標本化周波数情報により、受信側で標本化クロックを再生する映像信号伝送方式で、送受信装置の多段接続時においても、再生した映像信号を構成するカラーバーストのジッタの発生を低減する効果を得られる。

【図面の簡単な説明】

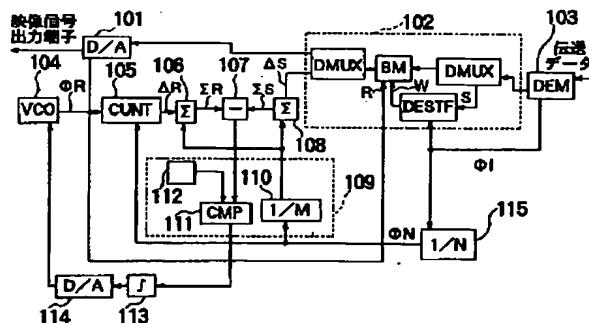
【図1】本発明による実施例を示す図である。

【図2】従来の方式を示す図である。

【符号の説明】

101, 204	アナログ-ディジタル変換回路
102, 214	分離化回路
103, 215	デモジュレータ
104, 211	電圧制御発振器
105, 212	受信周波数情報生成回路
106, 108	加算器
107, 213	引き算器
109	分周比生成回路
110	プログラマブル分周器
111	比較器
112	比較値レジスタ
113	積分器
114, 210, 218	ディジタル-アナログ変換回路
115, 207, 216	分周器
201	送信装置
202	受信装置
203	バーストロックオシレータ
205	送信周波数情報生成回路
206	多重化回路
208	モジュレータ
209	発振器

【図1】



【図2】

